

基于电场分布特性的环形栅器件 SPICE 模型研究

张 波, 肖立伊, 付方发

(哈尔滨工业大学 微电子中心, 黑龙江 哈尔滨 150001)

摘 要: 提出了一种新颖的、更加通用的环形栅器件版图等效宽度提取方法, 用于解决目前商用 SPICE 模型中版图宽度提取方法不适用于环形栅器件这一问题. 该方法基于环形栅中沟道电场分布特性, 可用于提取多种形状环形栅版图宽度. 提出了 SPICE 模型中模型参数的修改方法, 使 SPICE 环形栅器件模型仿真更为精准. 通过 TCAD (计算机辅助设计) 等多种仿真途径对该模型进行验证, 结果表明该模型具有较高的精确度.

关键词: 环形栅; 电场分布; 等效宽度; SPICE 模型; TCAD

中图分类号: TN702

文献标识码: A

文章编号: 1000-7180(2012)12-0140-05

SPICE Model of Annular Gate Device Based on Electric Field Distribution

ZHANG Bo, XIAO Li-yi, FU Fang-fa

(Microelectronics Center, Harbin Institute of Technology, Harbin 150001, China)

Abstract: A novel and universal model to calculate the effective width of edge-less FETs has been proposed in this paper to solve the problem that the calculations of effective width in commercial SPICE model does not fit annular gate devices. This model is based on channel electric field distribution in annular gate and can be used for most shapes of annular gate devices. Corrections of SPICE model parameters have been proposed to make the model more accurate. Verifications have also been done with different gate geometries in different ways such as TCAD (Technology Computer Aided Design) and so on. Simulations results show a good accuracy of the proposed model.

Key words: annular FETs; electric field distribution; effective width; SPICE model; TCAD

1 引言

由总剂量效应引起的条形栅晶体管场区边缘漏电已经成为深亚微米电路失效的主要原因^[1]. 版图加固技术中环形栅结构作为抑制总剂量效应引起的场区边缘漏电的有效方法已经被广泛采用. 但问题也随之而来, 由于目前 SPICE 仿真中的电学模型都以条形栅为基础, 不适用于环形栅器件, 并会引起较大的仿真误差.

目前商用条形栅器件都是采用“中线法”来提取器件等效栅宽, 这种方法对于环形栅器件来说误差较大. 文献[2]中提出了用于计算环形栅器件等效宽

度的方法, 该方法基于黎曼映射, 将不规则栅形状转换为条形栅形状. 但其只能给出等效宽长比, 并不能直接给出 SPICE 仿真所需的具体栅宽与栅长. 并且不能保证所有的等效晶体管具有相同的栅长, 因而不能简单地将等效晶体管的宽长比进行叠加而获得整体器件的等效宽长比. 而且针对不同栅形状需要进行不同形式的变换, 并不具有通用性.

本文通过分析深亚微米器件栅电场的分布特性, 提出一种新颖的、通用的环形栅器件等效宽度提取方法, 并对 SPICE 模型中部分参数做出相应修正. 并通过 TCAD 器件仿真及文献[2]中所得的实验数据比较结果验证了模型的精确性.

收稿日期: 2012-04-20; **修回日期:** 2012-05-14

基金项目: 哈尔滨市科技创新人才研究专项基金(2012RFXXG042)

2 模型建立

2.1 等效宽度提取

本文中都以环栅内部作为漏极。图1为标准无边缘器件版图示意图及其等势线分布仿真结果^[3]。不难看出,在远离器件拐角处等势线分布近似平行,而在拐角处其近似为圆弧,两者之间存在很大差异。为此需要对栅进行分割来分别求得其相应栅宽。

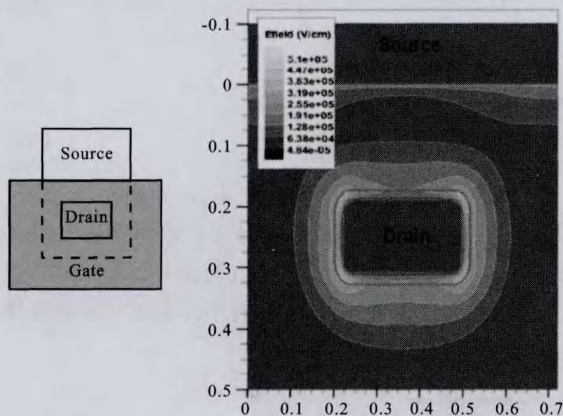


图1 标准无边缘器件版图示意图与等势线分布图

环形栅器件将被分割成两大部分:边缘器件与拐角器件。图2给出了器件的分割方法。边缘器件(T2)与拐角器件(T1)的分割线为边AO的垂线。O点为拐角顶点,A点与O点的距离为 αL , α 为拟合值,其典型值为0.05^[4]。

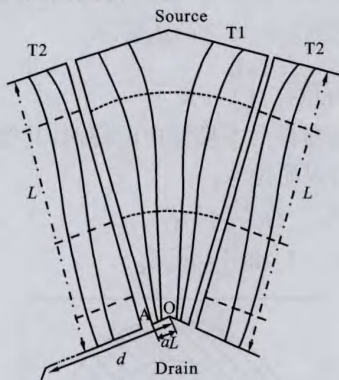


图2 环形栅器件分割示意图

分割之后,需要分别对T1与T2进行等效宽度计算。这里假定T1与T2的所有电学特性均相同^[2]。由于T1与T2的分界线为边AO的垂线,可以将边缘晶体管T2等效为条形栅器件(图3(b))。因此其等效宽度为 $d-2\alpha L$,等效长度为L,其中d为栅内部边长。本方法的关键在于求解拐角晶体管T1的等效宽度。根据拐角处电场分布特点,将拐角

晶体管近似为圆弧形器件,如图3(a)所示。这样不仅可以保证电场分布的相似性,同时根据有效栅长的定义:源漏之间的最短距离,也可以保证拐角晶体管的等效长度与边缘晶体管一致。这是器件分割后可以通过尺寸叠加而获得整个器件等效宽度的保障。

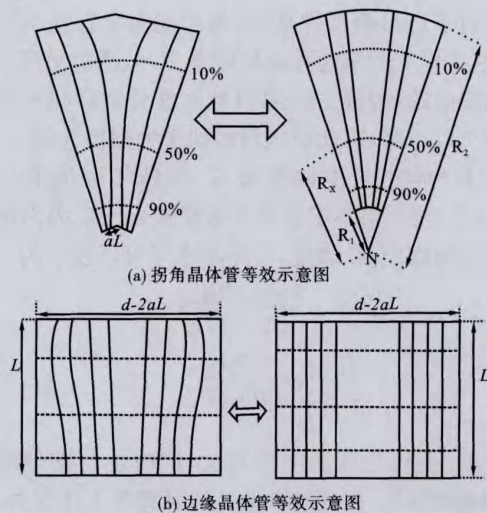


图3 器件等效示意图

T1进行等效近似后,需要计算其等效宽度。假设器件源漏之间的电压为 V_{DS} ,公式(1)为圆形栅器件沟道中任意一点M处的电场强度表达式^[2]:

$$E(r) = \frac{V_D - V_S}{\ln(R_2/R_1)} \frac{1}{r} \quad (1)$$

$$R_1 = \frac{\alpha L}{\tan(\theta/2)} \quad (2)$$

其中 $R_2 = R_1 + L$, R_1 、 R_2 如图3(a)所示。 r 为M点到圆弧圆心N的距离, θ 为栅拐角的角度。

根据栅等效宽度的定义:沟道中电压为漏源电压 V_{DS} 的50%处的等势线长度。对公式(1)进行积分可得

$$\int_{R_1}^{R_X} \frac{V_D - V_S}{\ln(R_2/R_1)} \frac{1}{r} dr = \frac{1}{2} V_{DS} \quad (3)$$

$$R_X = \sqrt{R_2 R_1} \quad (4)$$

其中 R_X 为电压为50% V_{DS} 处等势线的半径,如图3(a)所示。

为此可以得到拐角晶体管T1的有效宽度:

$$W_{T1} = \theta \cdot R_X \quad (5)$$

如前所述,晶体管T1与T2为并联关系,而且具有相同的栅长,为此可以通过叠加的方法获得总的等效宽度 W_E (以正多边形器件为例):

$$W_E = 2\pi \sqrt{\left[\frac{\alpha L}{\tan(\theta/2)} + L \right] \frac{\alpha L}{\tan(\theta/2)}} + n(d - 2\alpha L) \quad (6)$$

本文提出的方法不仅可以用于多边形环形栅器件,同时也可以用于截角正方形器件,若栅形状为截角正方形且截角较小时,只需将 d 替换为 d' 即可,其中 d 为截角正方形器件中正方形栅的对边距离,此时 $\theta = \pi/2$.

2.2 饱和区漏电导

对于环形栅器件来说,饱和漏电导存在不对称性,这主要与源漏的相对位置有关.但是对于深亚微米数字电路,源漏之间的相对位置对饱和漏电导的影响可以忽略,因此仍以栅内部作为漏极为例.

由于沟道长度调制效应,器件实际沟道长度 $L_{eff} = L - \Delta L$ 要小于器件等效栅长 L , ΔL 为沟道夹断点与漏端距离.因此,实际漏电导可以表示为:

$$\begin{aligned} g_{DSAT}^* &= \frac{\partial I_{DSAT}^*}{\partial V_{DS}} = \frac{\partial I_{DSAT}^*}{\partial \Delta L} \frac{\partial \Delta L}{\partial V_{DS}} \\ &= \frac{I_{DSAT}}{L (1 - \frac{\Delta L}{L})^2} \frac{d\Delta L}{dV_{DS}} \end{aligned} \quad (7)$$

ΔL 不仅与漏源电压有关,同时也与其他参数诸如栅氧厚度、衬底掺杂浓度以及栅源电压有关.因此很难获得 $d\Delta L/dV_{DS}$ 的精确表达式.然而,在 SPICE BSIM3 模型中沟道长度调制参数 PCLM 可以用于表征 ΔL 与 V_{DS} 之间的关系.为此,想要获得精确的饱和漏电导与漏电流除需要精确的等效宽度、长度之外,还需要找到合适 PCLM 修正式.文献[5]表明,欧拉电压与 SPICE 模型中的 PCLM 成反比例关系.因而只需得到环形栅器件的欧拉电压即可得到相应的 PCLM 修正式.把未调整过的 SPICE 模型中的沟道长度调制参数记为 PCLM0,其对应的欧拉电压记为 V_{a0} .测量或仿真得到的环形栅器件的实际欧拉电压记为 V_{am} ,则沟道长度参数修正式 PCLMm 可以表示为

$$\frac{PCLMm}{PCLM0} = \frac{V_{a0}}{V_{am}} \quad (8)$$

2.3 电容

George S 等人提出了比较精确的环形栅器件电容模型修正方法^[4].这里以正多边形器件为例,给出通过本文中器件等效栅长与栅宽获得的相关参数的修正表达式.在 SPICE BSIM3 模型中,共需对四个电容相关参数进行修改: DWC、DLC、CGDO、CGSO.其中 DWC 和 DLC 为与电容相关的器件等效宽度与等效长度偏移量^[6].对于环形栅器件来说,其有效栅面积并不能用等效宽度与等效长度的乘积表示.修改这两项参数可以获得准确的栅面积. CGDO 与 CGSO 分别为漏栅交叠电容与源栅交叠电容

参数,其与栅覆盖有源区边长成正比.对于环形栅器件来说,栅覆盖有源区边长并不等于等效栅宽 W_E .调整后的 DWC'、DLC'、CGDO'、CGSO' 表达式如下所示:

$$DWC' = \frac{W_E - \sqrt{(d + L \tan \frac{\theta}{2}) W_E}}{2} \quad (9)$$

$$DLC' = \frac{L - \sqrt{(d + L \tan \frac{\theta}{2}) W_E}}{2} \quad (10)$$

$$CGDO' = CGDO \frac{L_{inner}}{W_E} \quad (11)$$

$$CGSO' = CGSO \frac{L_{outer}}{W_E} \quad (12)$$

其中, L_{inner} 为栅内部周长, L_{outer} 为栅外部周长.另一种用于模拟器件内部电容的方法需要一个额外的器件,将该器件作为 MOS 电容使用.该方法以增加器件为代价而获得有限的精度提升,将使器件仿真时间增长,因而并不实用.

3 模型验证

环形栅结构包括:圆形、正方形、截角正方形以及八边形.对于目前工艺来说圆形栅与正方形栅尚且不能实现.通常采用的环形栅结构多为截角正方形与八边形.鉴于本文中采用圆弧近似,极限情况为圆形等效.为此首先需要与文献[2]中的专门用于计算圆形栅器件等效宽长比的公式(13)进行对比,从而验证圆弧近似理论的正确性.

$$W_E = \frac{2\pi L}{\ln[(R_1 + L)/R_1]} \quad (13)$$

圆形栅器件为本模型中的特例,其等效宽度计算表达式可以简化为:

$$W_E = 2\pi \sqrt{(R_1 + L)R_1} \quad (14)$$

其中 R_1 , L 如图 4 所示.

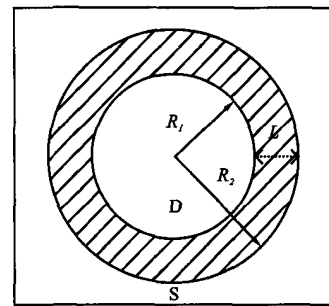


图 4 圆形栅器件示意图

图 5 与图 6 为公式(13)与(14)的比较结果.从图 5 可以看出,两者之间的误差随着沟道长度 L 的

增加而增大,但是在 $L=2.5\mu\text{m}$ 处误差最大仅为 2.9%。图 6 为 R_1 与 L 同时变化的比较结果,从中不难看出,两组曲线吻合较好。

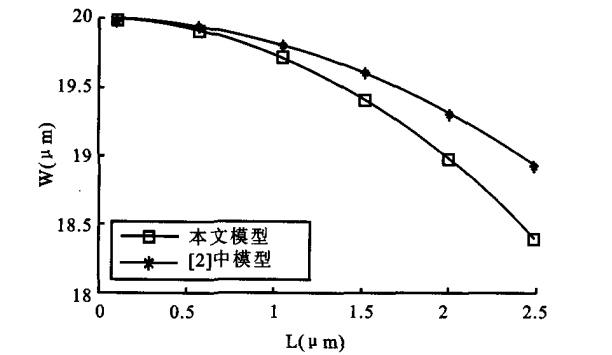


图 5 不同 L 时,圆形栅器件等效宽度仿真比较结果

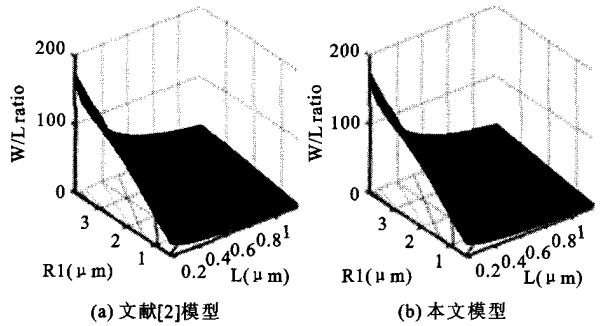


图 6 不同 L 、不同 R_1 时的圆形栅器件仿真比较结果

表 1 给出了 $0.25\mu\text{m}$ 与 $0.5\mu\text{m}$ 工艺下截角正方形器件等效宽长比实验数据与本模型计算出理论数据的对比结果. 其中 W/L_{exp} 为从文献[2]中提供的截角正方形等效宽长比的实验结果. 本模型计算得到的理论结果记为 W/L_m . 不难看出,最大误差不超过 6.0%,并且在同一工艺下,随着沟道长度的减小,模型的精确度变得更好。

表 1 截角正方形栅等效宽长比实验和模拟结果对比

Process(μm)	$L(\mu\text{m})$	W/L_{exp}	W/L_m	Error(%)
0.25	0.28	15	14.5	3.3
0.25	0.36	11.2	10.9	2.7
0.25	0.5	8.3	7.8	6.0
0.5	0.5	17.8	17.7	0.6
0.5	0.7	13.1	12.7	3.1
0.5	1.5	7.0	6.6	5.7

本文也通过 TCAD 仿真来验证该模型的精确性. 采用 $0.13\mu\text{m}$ CMOS 工艺,以沟道长度为 $0.27\mu\text{m}$ 的八边形器件为例进行 TCAD 仿真. 图 7、图 8 为 SPICE 仿真与 TCAD 仿真获得的输出特性曲线结果的对比. 图 7 为未调整 PCLM 参数时的仿真结果,从图中可以发现, $V_{DS}=1.2\text{V}$ 时最大饱和电流误差出现在 $V_{GS}=0.75\text{V}$ 处为 8.2%,此时饱和漏

电导的最大误差为 37.5%。图 8 为修正 PCLM 后的仿真比较结果,可以看出,最大饱和漏电流误差降为 2%,最大饱和漏电导误差降低至 19%。

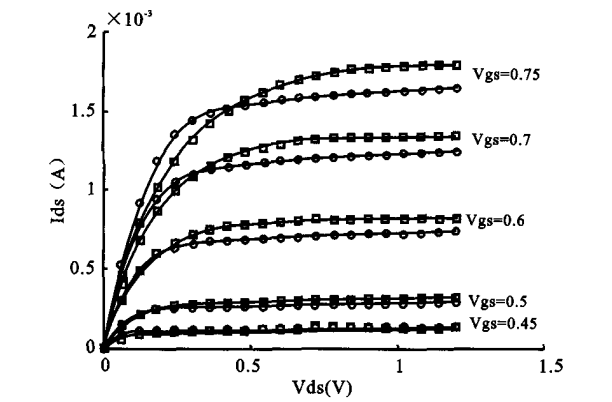


图 7 未修正 PCLM 前 SPICE(圆点)与 TCAD(方块)输出特性仿真结果比较

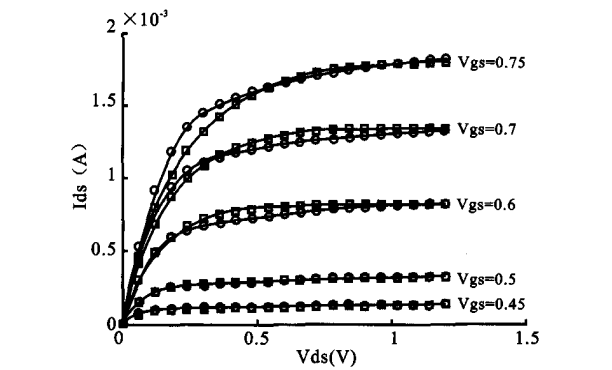


图 8 修正后 PCLM 后 SPICE(圆点)与 TCAD(方块)输出特性仿真结果比较

4 结束语

基于环形栅器件电场分布特性提出了一种新颖的、更加通用的环形栅等效宽度计算方法,并对 PCLM 等 SPICE 模型中部分参数进行调整,使目前的商用 SPICE 模型能够适用于环形栅器件,减小了仿真误差. 通过多种途径,对不同工艺不同形状的环形栅器件进行仿真验证. 仿真结果表明,针对不同尺寸、不同形状的环形栅器件,本模型均具有较高的精确度。

本方法不仅适用于多种不同形状环形栅器件,同时本文提出的圆弧近似思想也可用于提取其它不规则栅形状的等效宽度。

参考文献:

[1] Stabile A, Liberali V, Calligaro C. Design of a rad-hard library of digital cells for space applications[C]// Proceeding of 15th IEEE International Conference on

- Electronics, Circuits and Systems. St. Julien's, 2008: 149-152.
- [2] Giraldo A, Paccagnella A, Minzoni A. Aspect ratio calculation in n-channel MOSFET's with a gate-enclosed layout[J]. Solid-State Electron, 2000, (44): 981-989.
- [3] McLain M L, Barnaby H J, Esqueal I S, et al. Reliability of high performance standard two-edge and radiation hardened by design enclosed geometry transistors [C]//Proceeding of 2009 IEEE International Reliability Physics Symposium. Montreal, QC, 2009: 174-179.
- [4] Corbin L, George S, Rue L. Accurate SPICE models for CMOS analog radiation hardness by design[J]. IEEE Trans on Nucl Sci, 2005, 52(6): 2542-2549.
- [5] Strohhahn K, Martin M N. Spice Macro Models for Annular MOSFETS[C]//Proceeding of IEEE Aerospace Conference. USA; Laurel, 2004: 2370-2377.
- [6] BSIM3 Version 3.2 Manual[M]. Electrical Engineering and Computer Science, Univ of California, Berkeley, CA;1998.

作者简介:

张波男, (1987—), 硕士研究生. 研究方向为超大规模集成电路设计.

肖立伊女, (1961—), 博士, 教授, 博士生导师. 研究方向为VHDL-AMS混合信号模拟器设计、SoC/IP核设计与标准化.

付方发男, (1984—), 博士研究生, 讲师. 研究方向为片上网络、众核系统设计方法学.

(上接第 139 页)

- [2] Narendra P M. A separable median filter for image noise smoothing[J]. IEEE Trans on pattern analysis and machine intelligence, 1981, PAMI-3(1): 20-29.
- [3] Managuli R, York G, Kim D, et al. Mapping of two-dimensional convolution on very long instruction word media processors for real-time performance[J]. J Electron Imaging, 2000, 9(3): 327-335.
- [4] Miguel A-E, César T-H. Real-time field programmable gate array architecture for computer vision[J]. J Electron Imaging, 2001, 10(1): 289-296.
- [5] Singh H, Lee M-H, Liu G M, et al. MorphoSys: an integrated reconfigurable system for data-parallel and computation-intensive applications[J]. IEEE Trans on Computers, 2000, 49(5): 465-481.
- [6] César T-H, Miguel A-E. FPGA-based configurable systolic architecture for window-based image processing[J]. EURASIP J Appl Signal Process, 2005(7): 1024-1034.

作者简介:



袁雅婧女, (1983—), 博士研究生. 研究方向为数字图像处理算法及VLSI实现.

桑红石女, (1970—), 副教授. 研究方向为数字图像处理算法 VLSI 实现与并行处理器体系结构.